

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-005665

(43)Date of publication of application : 14.01.1994

(51)Int.Cl.

H01L 21/60
H01L 21/78
H01L 25/065
H01L 25/07
H01L 25/18
H01L 27/00

(21)Application number : 04-181265

(71)Applicant : MITSUBISHI HEAVY IND LTD

(22)Date of filing : 08.07.1992

(72)Inventor : EGASHIRA YOSHIO

(30)Priority

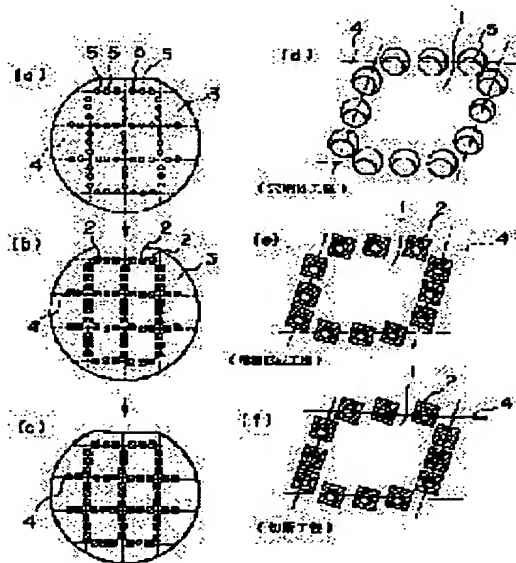
Priority number : 04 99455 Priority date : 20.04.1992 Priority country : JP

(54) METHOD FOR FORMING ELECTRODE ON SIDE FACE OF IC CHIP AND MULTI-IC CHIP

(57)Abstract:

PURPOSE: To enable IC chips to easily communicate signals to each other in a case where an electrode which takes output signals out of the IC chip is provided to the side face of the IC chip, and the IC chips are mounted overlapping each other.

CONSTITUTION: Holes 5 used for providing electrodes 2 are provided onto cut lines 4 formed on the surface of an IC wafer 3. An electrode 2 is formed in each of the holes 5. After the electrodes 2 are formed, the IC wafer 3 is cut out along the cut lines 4. By this setup, an IC chip 1 provided with an electrode on its side face can be manufactured. Even if the IC chips 1 are mounted overlapping each other, they easily communicate signals to each other.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-5665

(43)公開日 平成6年(1994)1月14日

(51)Int.Cl.⁵

H 0 1 L 21/60

21/78

25/065

25/07

識別記号

3 2 1 Z

庁内整理番号

6918-4M

L 8617-4M

F I

技術表示箇所

H 0 1 L 25/ 08

B

審査請求 未請求 請求項の数 2 (全 4 頁) 最終頁に続く

(21)出願番号 特願平4-181265

(22)出願日 平成4年(1992)7月8日

(31)優先権主張番号 特願平4-99455

(32)優先日 平4(1992)4月20日

(33)優先権主張国 日本 (J P)

(71)出願人 000006208

三菱重工業株式会社

東京都千代田区丸の内二丁目5番1号

(72)発明者 江頭 良夫

兵庫県高砂市荒井町新浜二丁目1番1号

三菱重工業株式会社高砂研究所内

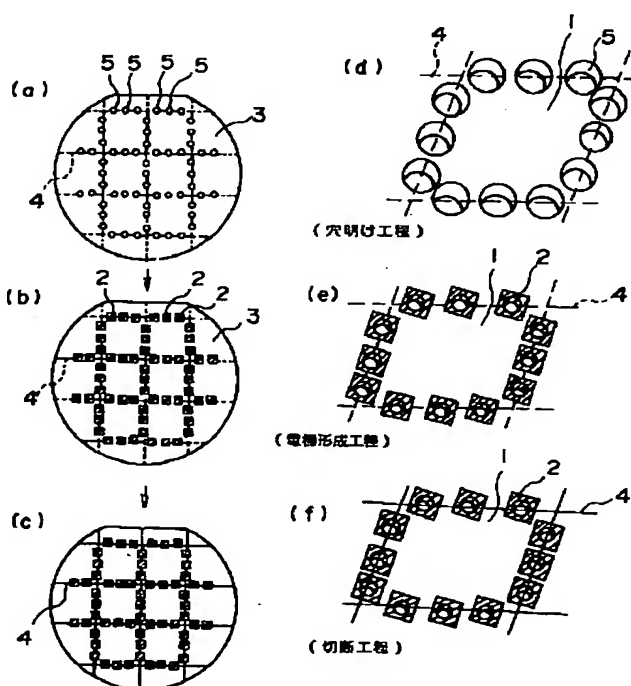
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 ICチップの側面に電極を形成する方法及びマルチICチップ

(57)【要約】

【目的】 この発明は、ICチップの出力信号を外部へ取り出す為の電極をICチップの側面に形成し、ICチップを複数枚、重ねて実装する場合、ICチップ同士の信号伝達を容易に行なう。

【構成】 ICウェーハ3表面上の切断ライン4上に複数の電極2用の穴5を形成する。穴5内に電極2を形成する。電極2を形成後、切断ライン4に従ってICウェーハ3を切断する。これより、側面に電極2が形成されたICチップ1が製造される。上記方法によれば、側面に電極2が形成されたICチップ1を製造することができる。このICチップ1を複数枚、重ねて実装しても、ICチップ同士の信号伝達を容易に行うことができる。



【特許請求の範囲】

【請求項1】 ICウェーハのICチップ切断用ライン上に電極形成用の穴を形成し、前記穴内に電極部を形成し、前記電極部の形成された前記切断用ラインを切断してICチップを形成することにより、前記電極部を前記ICチップに形成することを特徴とするICチップの側面に電極を形成する方法。

【請求項2】 重ね合わせて実装され、側面に電極部が形成された複数のICチップと、前記電極部を介してこのICチップ同士を電気的に接続する接続部を具備することを特徴とするマルチICチップ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、IC基板の小型・高密度実装（3次元実装）技術に関し、特にICチップに電極を形成する方法及びIC基板の面積を縮小する為に使用されるものである。

【0002】

【従来の技術】図6を参照して、従来のICウェーハ上に電極を形成する方法について説明する。まず、図6

(a)と図6(c)に示すように、ICウェーハ23の切断ライン24（破線）上に電極20を形成する。電極20形成後、切断ライン24に従ってICウェーハ23を切断し（図6(b)及び(d)）、ICチップ21を形成する。その結果、図7に示すように表面に電極20が形成されたICチップ21が得られる。

【0003】図8は、図7に示すICチップ21a、21bを印刷配線板100に実装した状態を示す。ICチップ21a、21bの各電極20a、20bと印刷配線板100に形成された各電極40a、40bは、ワイヤ30で接続されている。尚、符号50は配線パターンを示している。

【0004】

【発明が解決しようとする課題】上述のように、従来のICチップ21は上面端部に電極20を形成しているので、例えばIC機能を複合化させる為、ICチップ21を複数枚重ねて実装すると、ICチップ同士及びICチップ21とIC基板間の信号伝達が困難になるという問題がある。

【0005】また、従来のICチップを複数個2次元実装すると、図8に示すような状態になる為、印刷配線板100はICチップの個数に相当する面積が必要であり、印刷配線板の小型化が困難である。

【0006】この発明は上記実情に鑑みなされたもので、ICチップを複数枚重ねて実装する場合であっても、ICチップ同士及びICチップとIC基板間の信号伝達を容易に行うことのできるICチップの側面に電極を形成する方法を提供することを第1の目的とする。さらに、この発明は複数のICチップを実装するのに必要

なIC基板の面積を縮小化することを第2の目的とする。

【0007】

【課題を解決するための手段】この発明に係るICチップの側面に電極を形成する方法は、ICウェーハのICチップ切断用ライン上に電極形成用の穴を形成し、前記穴内に電極部を形成し、前記電極部の形成された前記切断用ラインを切断してICチップを形成することにより、前記電極部を前記ICチップに形成することを特徴とする。

【0008】さらに、この発明に係るマルチICチップは、重ね合わせて実装され、側面に電極部が形成された複数のICチップと、前記電極部を介してこのICチップ同士を電気的に接続する接続部を具備することを特徴とする。

【0009】

【作用】上記方法によって製造されたICチップは、その側面に電極が形成されているので、複数枚重ねて実装しても、ICチップ同士の信号伝達を容易に行うことができる。

【0010】また、マルチICチップにおいては、接続部を各ICチップの電極部に接触させることにより、重ね合わせて実装されたICチップ同士は電気的に接続される。

【0011】

【実施例】以下、図1を参照して、この発明の一実施例に係るICチップの側面に電極を形成する方法について説明する。

【0012】まず、その電極形成工程前に図1(a)、1(d)に示すようにICウェーハ3の切断ライン4上に、ウエットプロセス（例えば、ウエットエッチング）またはドライプロセス（例えば、ドライエッチング）等により、電極形成予定領域に納まる大きさの穴（電極2よりも小さな穴）5を形成する。

【0013】その後、スパッタ蒸着や真空蒸着、エッチング等によって、穴5の内部にICチップの出力信号を出力する為の電極2を形成する。スパッタ蒸着の際、切断ライン4の電極形成予定領域に前述のように予め穴5が開いているので、電極材は穴5内部に入り込み、ICチップの側面に電極2が形成される状態になる。または、穴5内部には電極材が充填される。

【0014】電極2形成後、図1(c)、(d)に示すようにICウェーハ3をICチップ1とする為に、ICウェーハ3を切断ライン4に従って切断する。これより、図2に示すようにICチップ1の側面に電極2（ハッチング部分）が形成されたICチップ1が得られる。このように、上記実施例の方法によれば側面に電極が形成されたICチップを製造することができる。次に、図3～5を参照して、上記方法によって製造されたICチップを使用したマルチICチップについて説明する。図

3は、図2に示すようなICチップ1を3枚重ね合わせた状態を示している。

【0015】図4(a)、(b)は、図3に示すICチップ1a、1b、1c同士を電氣的に接続する接続金属棒6a、6bを示している。図4(a)、(b)の接続金属棒6a、6bの表面全体は、絶縁薄膜体によってコーティングされている。

【0016】図4(a)の接続金属棒6aでは、絶縁薄膜体を2カ所除去し、除去された部分を電極7としている。また、図4(b)の接続金属棒6bでは、絶縁薄膜体を4カ所除去し、除去された部分を電極7としている。図4(a)の符号8は、絶縁薄膜体が残されたままの電極形成予定領域を示している。図5は、ICチップ1a～1cを電氣的に接続した状態(マルチICチップ)を示す図である。

【0017】複数枚重ね合わせて実装されたICチップ同士を電氣的に接続する場合には、図5の点線で示す位置に図4(a)、(b)に示すような接続金属棒6a、6bのいずれかを取り付け、通電する。

【0018】上記実施例によれば、図5に示すように、ICチップを複数枚重ね合わせてIC基板に実装できるので、複数のICチップの実装に必要なIC基板の面積を縮小できる。

【0019】また、ICの出力信号を外部へ取り出す為の電極がICチップの側面に形成されるので、IC基板を重ねて実装する場合、ICチップ同士の信号伝達を容易に行なうことができ、小型・高密度実装化(マルチチップ実装化)を図ることができる。

【0020】尚、この発明は上記実施例に限定されず、種々の変更が可能である。例えば、上記実施例では、図4(a)、(b)の接続金属棒6a、6bの表面全体に

絶縁薄膜体をコーティングしたが、電極を形成しない電極形成予定領域8のみに絶縁薄膜体をコーティングしても構わない。また、上記実施例においては、穴5はスルホールを示したが、窪みでも良い。

【0021】

【発明の効果】この発明は、ICの出力信号を外部へ取り出す為の電極をICチップの側面に形成するので、IC基板を重ねて実装する場合、ICチップ同士の信号伝達を容易に行なうことができる。また、この発明は電極が側面に形成されたICチップを複数枚重ね合わせて実装するのに必要なIC基板の面積を縮小することができる。

【図面の簡単な説明】

【図1】この発明の一実施例に係るICチップの製造方法を説明する図。

【図2】この発明の一実施例に係るICチップを示す図。

【図3】この発明の一実施例に係るICチップを複数枚実装した状態を示す図。

【図4】この発明の一実施例に係るICチップ同士を電氣的に接続する接続金属棒を示す図。

【図5】この発明の一実施例に係るマルチICチップを示す図。

【図6】従来のICチップの製造方法を説明する図。

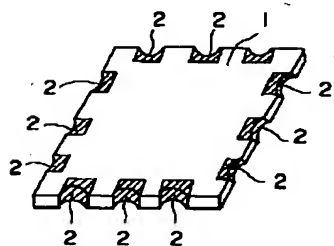
【図7】従来のICチップを示す図。

【図8】従来のICチップを複数枚実装した状態を示す図。

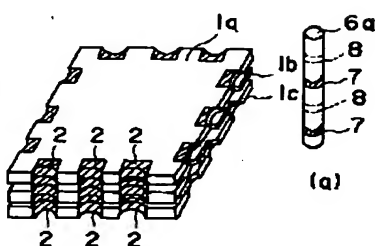
【符号の説明】

1…ICチップ、2…電極、3…ICウェーハ、4…切断ライン、5…穴、6a、6b…接続金属棒、7…電極、8…電極形成予定領域。

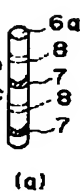
【図2】



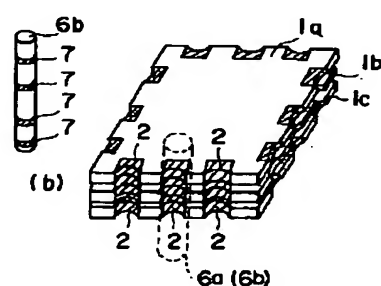
【図3】



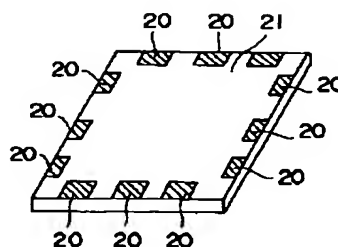
【図4】



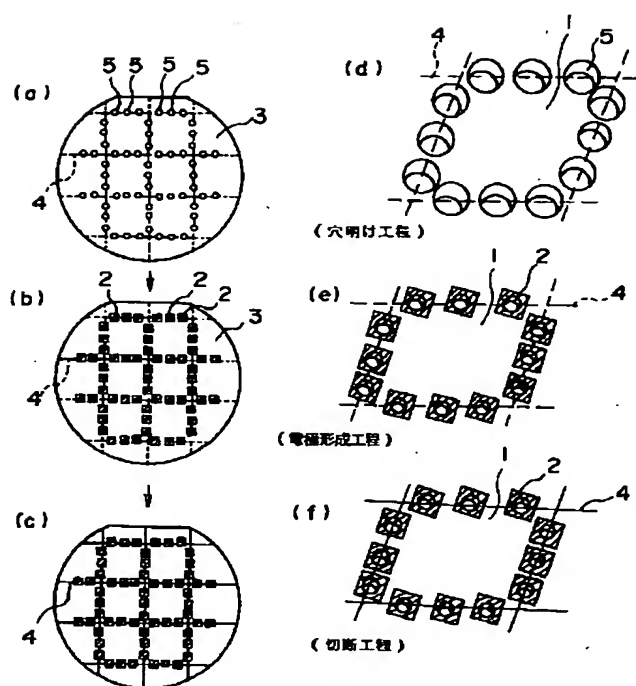
【図5】



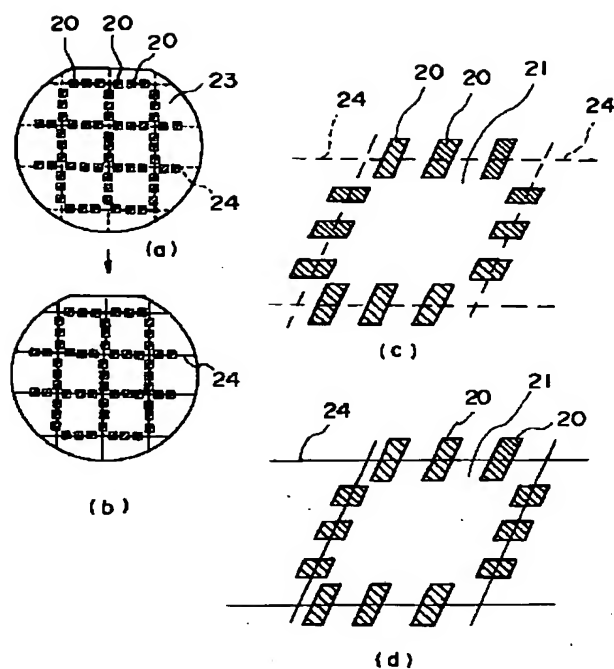
【図7】



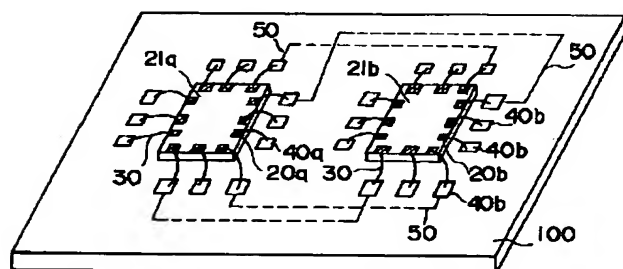
【図1】



【図6】



【図8】



フロントページの続き

(51) Int. Cl. 5

H 0 1 L 25/18

27/00

識別記号

庁内整理番号

F I

技術表示箇所

3 0 1 B 8418-4M